

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 6 日 (06.10.2005)

PCT

(10) 国際公開番号
WO 2005/093136 A1

- (51) 国際特許分類: C30B 25/14, 29/06 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/016567 (75) 発明者/出願人 (米国についてののみ): 岡部 晃 (OK-
(22) 国際出願日: 2004 年 11 月 9 日 (09.11.2004) ABE, Akira) [JP/JP]; 〒8560022 長崎県大村市雄ヶ
(25) 国際出願の言語: 日本語 原町 1 4 7-4 0 シーエックスイー ジャパン株
(26) 国際公開の言語: 日本語 式会社内 Nagasaki (JP). 川元 和久 (KAWAMOTO,
(30) 優先権データ: Kazuhisa) [JP/JP]; 〒8560022 長崎県大村市雄ヶ原町
特願2004-094230 2004 年 3 月 29 日 (29.03.2004) JP 1 4 7-4 0 シーエックスイー ジャパン株式会社内
(71) 出願人 (米国を除く全ての指定国について): シーエッ Nagasaki (JP).
クスイー ジャパン株式会社 (CXE JAPAN CO., LTD.)
[JP/JP]; 〒8560022 長崎県大村市雄ヶ原町 1 4 7-4 0
Nagasaki (JP).

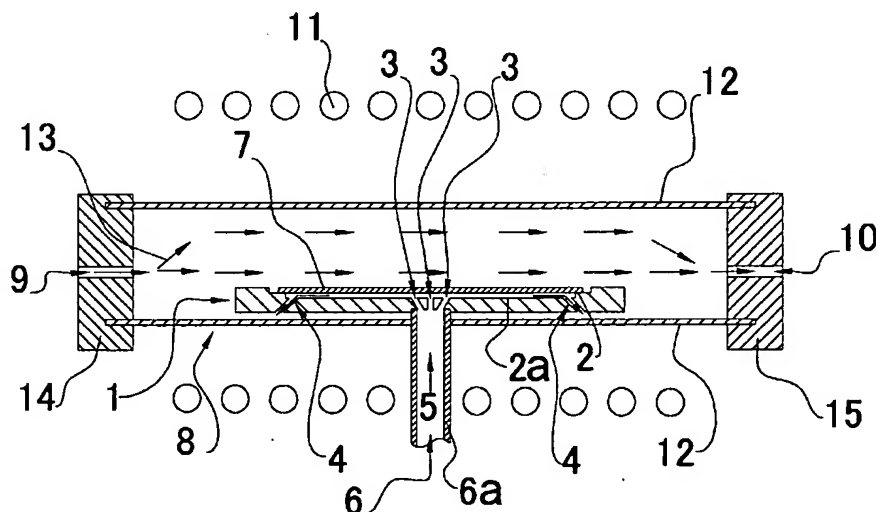
(74) 代理人: 有吉 教晴, 外 (ARIYOSHI, Noriharu et al.);
〒8120013 福岡県福岡市博多区博多駅東 3 丁目 1-4
Fukuoka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

/続葉有/

(54) Title: SUPPORT AND METHOD FOR PROCESSING SEMICONDUCTOR SUBSTRATE

(54) 発明の名称: 支持体並びに半導体基板の処理方法



(57) Abstract: [PROBLEMS] A support and a method for processing a semiconductor substrate in which sneaking of dopant to the surface of the semiconductor substrate can be suppressed sufficiently, and entrance of reaction gas to the rear surface of the semiconductor substrate can be suppressed. [MEANS FOR SOLVING PROBLEMS] A silicon semiconductor wafer (7) is mounted on the wafer supporting part (2) of a wafer support (1), a space is defined between the silicon semiconductor wafer (7) and a counterbore part (2a), hydrogen gas (5) flows through a gas supply passage (6) provided in a support rotating member (6a) located in the central region of the wafer support (1) and through a gas supply through hole part (3) formed in the central region of the counterbore part (2a), then flows in the space between the silicon semiconductor wafer (7) and the counterbore part (2a) along the silicon semiconductor wafer (7), and further flows through a gas discharge through hole part (4) inclining with respect to the vertical direction and provided for communication between the counterbore part (2a) and the outside surface of the wafer support (1) opposite to the surface where the silicon semiconductor wafer (7) is mounted before being discharged from the wafer support (1).

(57) 要約: 【課題】 半導体基板の表面へのドーパントの回り込みを十分に抑制できると共に、半導体基板の裏面への反応ガスの入り込みを抑制できる、支持

/続葉有/



ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

— USのための発明者である旨の申立て (規則4.17(iv))

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

体並びに半導体基板の処理方法を提供する。【解決手段】 ウエハ支持体1のウエハ支持部2には、シリコン半導体ウエハ7が載置されており、シリコン半導体ウエハ7と座ぐり部2aとの間には空間が形成され、ウエハ支持体1の中央領域に位置する支持体回動部材6aに設けられたガス供給路6を水素ガス5が流れ、そして座ぐり部2aの中央領域に形成されたガス供給貫通孔部3を通過して、シリコン半導体ウエハ7と座ぐり部2aとの間の空間内を、シリコン半導体ウエハ7に沿って流れ、半導体ウエハ7が載置された側とは反対側のウエハ支持体1の外側面と座ぐり部2aとを連絡する、鉛直方向に対して傾斜したガス排出貫通孔部4を水素ガス5が流れて、ウエハ支持体1から排出される。